

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-133507
 (43)Date of publication of application : 09.05.2003

(51)Int.CI.

H01L 25/04
 H01L 21/3205
 H01L 21/768
 H01L 21/822
 H01L 25/18
 H01L 27/04

(21)Application number : 2001-329687

(22)Date of filing : 26.10.2001

(71)Applicant : FUJITSU LTD

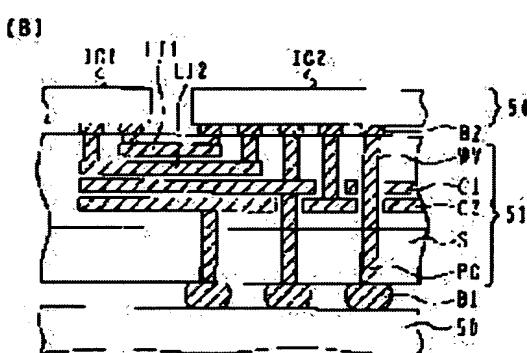
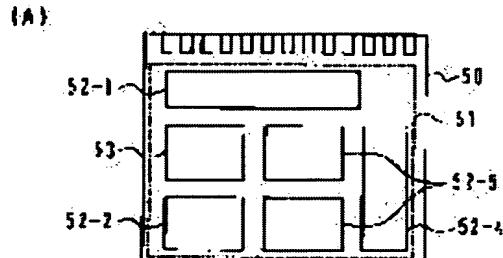
(72)Inventor : OKAMOTO KEISHIRO
 SHIOGA KENJI
 TANIGUCHI OSAMU
 OMOTE KOJI
 IMANAKA YOSHIHIKO
 YAMAGISHI YASUO

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which achieves a decoupling function of a large capacity and is reduced in the inductance, by suitably establishing an electrical connection among a semiconductor element of a narrow terminal pitch, a support having a through-type wiring of large pitch, and a capacitor.

SOLUTION: The semiconductor device is provided with; a support substrate having a through-type conductor which matches with a first pitch; a capacitor formed above the support substrate; an wiring layer which is formed above the support, partially leading out the through-type conductor upward through the capacitor, has a branch, and forms the wiring of a second pitch; terminals which are located above the wiring layer and match with the second pitch; and a plurality of semiconductor elements which are connected to the wiring layer via the terminal.



LEGAL STATUS

[Date of request for examination] 14.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-133507

(P2003-133507A)

(43)公開日 平成15年5月9日(2003.5.9)

(51)Int.Cl.⁷
H 01 L 25/04
21/3205
21/768
21/822
25/18

識別記号

F I
H 01 L 25/04
27/04
21/88
21/90

テマコード(参考)
Z 5 F 0 3 3
C 5 F 0 3 8
J
A

審査請求 未請求 請求項の数10 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2001-329687(P2001-329687)

(22)出願日 平成13年10月26日(2001.10.26)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 岡本 圭史郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 塩賀 健司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎 (外1名)

最終頁に続く

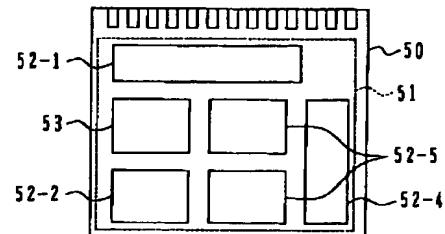
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

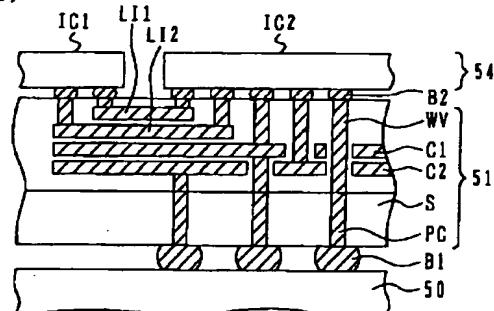
【課題】 狹い端子ピッチを有する半導体素子と、より広いピッチの貫通配線を有する支持体とキャバシタとを好適に電気的に接続し、大容量でインダクタンスを低減したデカッピング機能を実現できる半導体装置を提供する。

【解決手段】 半導体装置は、第1ピッチに適合する貫通導体を有する支持基板と、前記支持基板上方に形成されたキャバシタと、前記支持基板上方に形成され、前記貫通導体を、一部前記キャバシタを介して、上方に導出すると共に、分岐を有し、第2ピッチの配線を形成する配線層と、前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する。

(A)



(B)



【特許請求の範囲】

【請求項1】 第1ピッチに適合する貫通導体を有する支持基板と、

前記支持基板上方に形成されたキャバシタと、
前記支持基板上方に形成され、前記貫通導体を、一部前記キャバシタを介して、上方に導出すると共に、分岐を有し、第2ピッチの配線を形成する配線層と、
前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置。

【請求項2】 前記支持基板が、側壁に絶縁膜を形成した貫通孔を有するSi基板であり、前記貫通導体が前記貫通孔を埋める金属導体である請求項1に記載の半導体装置。

【請求項3】 前記キャバシタが、電源配線間に接続されたデカップリングキャバシタであり、前記配線層が前記デカップリングキャバシタと前記半導体素子との間で分岐を有する請求項1または2記載の半導体装置。

【請求項4】 前記貫通導体が第1の信号配線を含み、前記配線層が第1の信号配線を、ほぼ垂直に導出する第2の信号配線を含み、前記キャバシタが前記第2の信号配線を含む領域で欠所を有する電極を有する請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 さらに、前記支持基板上に配置され、10 ppm/°C以下の面内方向熱膨張率を有し、前記配線層、前記キャバシタを絶縁する絶縁層を有する請求項1～4のいずれか1項記載の半導体装置。

【請求項6】 前記キャバシタが、Ba、Sr、Tiの内少なくとも一つを含む酸化物層のキャバシタ誘電体層と、前記キャバシタ誘電体層を挟んで配置され、Pt、Ir、Ru、Pdまたはこれらの酸化物を少なくとも一部に含む1対のキャバシタ電極とを有する請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 さらに、第1ピッチの配線を有し、前記貫通導体の下面に接続された回路基板を有する請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】 前記第2ピッチは、前記第1ピッチより狭い請求項1～7のいずれか1項に記載の半導体装置。

【請求項9】 (a) 支持基板に第1のピッチで貫通孔を形成する工程と、

(b) 前記貫通孔側壁に絶縁膜を形成する工程と、
(c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、

(d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャバシタと前記貫通導体または前記キャバシタに接続され、第2のピッチを有する配線を形成する工程と、

(e) 前記配線上に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、を含む半導体装置の製造方法。

【請求項10】 前記支持基板がSi基板であり、
前記工程(a)が、Si基板両面を熱酸化して酸化シリコン膜を形成し、一方の酸化シリコン膜からシリコン基板を貫通し、他方の酸化シリコン膜に達する貫通孔を形成し、

前記工程(b)が貫通孔側壁を熱酸化し、
前記工程(c)が、他方の酸化シリコン膜裏面上にシード層を形成し、貫通孔底面の酸化シリコン膜を除去してシード層を露出し、貫通孔内に前記シード層をシードとしてメッキ層を形成する、請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の部品を一つのモジュールに収納してワンパッケージ化した半導体装置に関し、特に半導体素子外部にキャバシタを接続して高周波特性を改良した半導体装置およびその製造方法に関する。

【0002】本明細書においては、複数の半導体デバイスをモジュール化して、半導体装置を構成する場合、各半導体デバイスを半導体素子と呼ぶ。CPU等のLSIも半導体素子と呼ぶ。

【0003】

【従来の技術】近年、既存のチップを組み合わせて、高密度に接続し、所望の機能を実現するシステムインパッケージ(SIP)が台頭している。全機能を1チップ上に集積化する場合と較べ、開発期間の短縮を図れ、価格対性能比を向上することができる。

【0004】また、デジタルLSI等の半導体素子は、高速化と低消費電力化が進んでいる。低消費電力化のために、電源電圧は低減している。負荷インピーダンスが急激に変動した時などに、電源電圧は変動し易い。電源電圧が変動すると、半導体素子の機能に障害を生じる。電源電圧の変動を抑えるためのデカップリングキャバシタの役割が重要となっている。

【0005】半導体素子の高速化に伴い、高周波リップルの影響は増大している。デカップリングキャバシタは、高周波リップル成分の吸収も効率的に行なうことが望まれる。

【0006】これらのために、キャバシタの等価直列抵抗(ESR)、等価直列インダクタンス(ESL)を低減することが望まれる。このためには、半導体チップとキャバシタとの間の配線長を最小にすることが望まれる。

【0007】システムインパッケージにおいて、半導体チップ、回路基板にデカップリングキャバシタ等を接続する方法として(1)樹脂ビルアップ系、(2)厚膜セラミックス系、(3)薄膜多層系等の技術が知られている。

【0008】(1)樹脂ビルアップ系は、基板にブリ

ント板を用い、絶縁層、受動部品層、配線層をビルドアップ層としてその上に形成し、半導体チップの直下にキャバシタを形成して貫通配線を介して接続する。絶縁層として有機絶縁層を用いることにより、低コスト、低温プロセスが可能である。また、受動部品と絶縁層との熱膨張率の差を小さくすることにより、実装後の熱サイクルによって発生する熱応力を緩和させることができる。

【0009】半導体チップの直下にキャバシタを配置し、ESLを低減することができるが、キャバシタの支持体の貫通配線のピッチは50～200μmと比較的大きい。得られるキャバシタの容量は、数100pF/cm²であり、高周波でのデカップリングキャバシタとしては不充分である。

【0010】(2) 厚膜セラミックス系は、基板や絶縁層に低損失セラミックス材料を用い、誘電体層、抵抗層を一体焼成する。半導体チップの直下にキャバシタを形成し、貫通配線を介して接続することができる。部品内蔵能力に優れ、誘電損失(tan δ)が低い。このため、高周波での伝送損失が小さい。

【0011】得られる容量は、数10nF/cm²であり、高周波でのデカップリングキャバシタとしての機能は不充分である。焼成時に体積が収縮し、寸法のバラツキが大きくなるため、キャバシタの支持体の貫通配線ピッチは100～200μm程度と大きい。

【0012】(3) 薄膜多層系は、絶縁層に低誘電率樹脂を用い、支持基板にシリコンやガラスを用いる。抵抗やキャバシタを層内に形成し、半導体チップの直下にキャバシタを貫通配線を介して接続することができる。高温プロセスを使用し、数100nF/cm²と大容量のキャバシタが得られる。

【0013】半導体プロセスを用いることにより、支持体の貫通配線ピッチは、20～50μm程度まで微細化できる。受動部品と絶縁層との熱膨張率の差を小さくすることにより、実装後の熱サイクルによって発生する熱応力を緩和させることができる。

【0014】半導体素子の高速動作、低消費電力化、大面积化はますます進行する。半導体素子内のトランジスタや配線は微細化を続けている。半導体素子の端子数も増加し、端子間のピッチも狭くなる。デカップリングキャバシタの支持体の貫通配線ピッチを半導体素子の端子のピッチと合わせ狭くすることには限界が生じる。

【0015】半導体素子の直下でなく、近傍にキャバシタを実装すれば、低コストで大容量のキャバシタを設けることができる。しかしながら、配線の引き回しが必要となり、高周波特性は悪くなる。GHz以上の周波数で高速動作する半導体素子に対応したデカップリングキャバシタを設けることは困難となる。

【0016】

【発明が解決しようとする課題】このように、システムインパッケージにおいて半導体素子とキャバシタ等の電

子部品と回路基板とを好適に接続することに制限が生じている。

【0017】本発明の目的は、狭い端子ピッチを有する半導体素子と、より広いピッチの貫通配線を有する支持体とキャバシタとを好適に電気的に接続し、大容量でインダクタンスを低減したデカップリング機能を実現できる半導体装置を提供することである。

【0018】本発明の他の目的は、半導体素子の微細化に対応できるシステムインパッケージを提供することである。

【0019】本発明のさらに他の目的は、このようなシステムインパッケージに用いる、複数の半導体素子を含む半導体装置を提供することである。

【0020】

【課題を解決するための手段】本発明の1観点によれば、第1ピッチに適合する貫通導体を有する支持基板と、前記支持基板上方に形成されたキャバシタと、前記支持体上方に形成され、前記貫通導体を、一部前記キャバシタを介して、上方に導出すると共に、分岐を有し、第2ピッチの配線を形成する配線層と、前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置が提供される。

【0021】本発明の他の観点によれば、(a) 支持基板に第1のピッチで貫通孔を形成する工程と、(b) 前記貫通孔側壁に絶縁膜を形成する工程と、(c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、(d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャバシタと前記貫通導体または前記キャバシタに接続され、第2のピッチを有する配線を形成する工程と、(e) 前記配線上に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、を含む半導体装置の製造方法が提供される。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0023】図5(A)は、システムインパッケージSIPの構成例を示す。回路基板50の上に、複数の半導体素子を含む回路部品52-1～52-5が搭載されている。半導体素子は、たとえば、演算処理装置、デジタル信号演算処理装置(DSP)、メモリ、高周波(RF)IC、入出力インターフェイス(I/O)等である。他の回路部品53は、たとえばSAWフィルタである。

【0024】回路基板50上には配線が形成されており、回路基板50と半導体素子52-1～52-5(および回路部品53)との間にキャバシタや配線を内蔵した中間積層体51が接続されている。以下、キャバシタ、配線を内蔵する中間積層体51の製造プロセスについて説明する。

【0025】図1(A)に示すように、例えば6インチSiウェハ11を厚さ300μmに鏡面研磨し、両面に熱酸化により厚さ約0.5μmの酸化シリコン層12、13を形成する。

【0026】なお、熱酸化に代え、減圧気相堆積(LPCVD)やスパッタリングによって酸化シリコン等の絶縁層を形成してもよい。絶縁層は、Si基板をドライエッティングする際のエッティングストップとして作用せる層であり、酸化シリコンに限らない。例えば酸化窒化層や酸化層と窒化層との積層でもよい。

【0027】図1(B)に示すように、酸化シリコン層12の上にホトレジスト材によりレジストマスクPR1を形成する。レジストマスクPR1をエッティングマスクとし、CF₄を主エッティングガスとして酸化シリコン層12をエッティングし、開口14を形成する。開口14は、貫通配線を形成するパターンに従って形成される。この段階でレジストマスクPR1を除去してもよい。

【0028】次に、レジストマスクPR1またはバーニングされた酸化シリコン層12Aをエッティングマスクとし、SF₆およびC₄F₈を主エッティングガスとするドライエッティングを行ない、Si基板11の異方性エッティング(Deep RIE)を行なう。このエッティングは、下側の酸化シリコン層13で自動的に停止する。このようにして、酸化シリコン層12a、Si基板11aを貫通したピア孔14が形成される。レジストマスクPR1が除去されていない場合は、エッティング終了後レジストマスクPR1を除去する。

【0029】図1(C)に示すように、Si基板11aを熱酸化し、Si表面が露出している領域に厚さ約1μmの酸化シリコン層15aを形成する。ピア孔底面に残った酸化シリコン層13はもとの厚さ(約0.5μm)のまま残る。Si基板11a上面および下面の酸化シリコン層は、さらに酸化され、厚さ約1μm以上の酸化シリコン層15b、15cとなる。

【0030】図1(D)に示すように、スパッタリングにより基板裏面上に厚さ約0.2μmのTi層16、厚さ約1.0μmのPt層17を形成する。Pt層17は、この後行なわれるメッキのシード層を形成する。Ti層16は、Pt層17のSi基板に対する密着性を促進するための密着層である。シード層が良好な密着性を有する場合、密着層は省略することができる。なお、シード層(および密着層)はスパッタリングの他、CVD、印刷などによって形成することもできる。

【0031】緩衝フッ酸溶液をエッチャントとするウエットエッティングを行なうことにより、ピア孔底面の酸化シリコン層13を除去する。この際、他の酸化シリコン層もエッティングされるが、厚さの差により全部は除去されず、厚さの一部は残る。

【0032】緩衝フッ酸溶液によるエッティングに続いて、希フッ酸硝酸液をエッチャントとするウエットエッ

チングを行ない、ピア孔底面に露出したTi層16をエッティングする。このようにして、ピア孔底面にPt層17が露出する。Ti層は、エッティングが始まると瞬時に溶けてしまう。エッティング溶液が酸化シリコン層もエッティングする性質を有しても、Ti層のエッティングの間に酸化シリコン層がエッティングされる厚さは極めて限られたものである。シリコン基板11aは酸化シリコン層で覆われた状態を保つ。

【0033】なお、ウエットエッティングに代え、ドライエッティングを行なってもよい。この場合も、ピア孔底面の酸化シリコン層13がエッティング終了しても、その他の酸化シリコン層15a、15b、15cは少なくともその一部が残る。

【0034】このようにして、Si基板に複数の貫通孔を形成することができる。貫通孔の底面にはメッキ用のシード層が露出し、貫通孔の側壁は絶縁層に覆われている。Si基板上面も絶縁層に覆われている。

【0035】図1(E)に示すように、電解メッキを行うことにより、ピア孔14内のPt層17上にPtメッキ層を形成し、ピア孔を埋めるピア導電体18を形成する。

【0036】なお、ピア孔の径が小さな場合、メッキに代えCVDで貫通導体を形成することもできる。この場合は、シード層は特に必要なく、例えば図1(B)または(C)の状態で、CVDを行うことができる。

【0037】図1(F)に示すように、Si基板上面に対し化学機械研磨(CMP)を行うことにより、表面を平坦化する。貫通導体18の上面と、周囲の絶縁層15bの上面とが面一となる。同様、Si基板下面にもCMPを行ない、絶縁層15c、貫通導体18を露出する。このようにして、貫通導体18を備えた支持基板Sが得られる。

【0038】図2(G)に示すように、支持基板Sの表面上に、基板温度400°Cでスパッタリングを行ない、厚さ約0.1μmのTi層、厚さ約0.2μmのPt層を順次形成し、下部電極層20とする。下部電極層20の上にレジストマスクPR2を形成し、このレジストマスクPR2をマスクとし、Arイオンを用いたミリングにより、下部電極層20をバーニングする。ミリングとエッティングを組み合わせても良い。その後レジストマスクPR2は除去する。

【0039】下部電極20は、広い面積を有し、信号配線等の配線を通過させる領域およびその周囲に欠所を有する。欠所内に配線用の引き出し電極が同一電極層から形成される。

【0040】図2(H)に示すように、下部電極20を覆って基板上に(Ba, Sr)TiO₃(BST)薄膜21を形成する。この成膜条件は、例えば基板温度550°C、ガス流量Ar:80sccm、O₂:10sccm、真空度30mTorr、印加電力300W、プロセ

ス時間1時間である。このような条件で、膜厚0.2μm、比誘電率500、誘電損失2%のBST誘電体膜を得られる。

【0041】高い比誘電率を有する材料として他にSrTiO₃、BaTiO₃等を用いてもよい。Ba、Sr、Tiの少なくとも一つを含み、高い比誘電率を有する酸化物誘電体を用いることが好ましい。誘電体膜の形成に、スパッタリングの他、ゾルゲル法、CVDを用いることもできる。

【0042】誘電体膜21の上にレジストパターンPR3を形成し、緩衝フッ酸溶液(NH₄F:HF=6:1)のエッチングを行ない、引き出し電極およびキャバシタ電極の接続部表面を露出する。その後レジストパターンPR3は除去する。

【0043】図2(I)に示すように基板温度400°Cでスパッタリングを行ない、厚さ約0.2μmのPt層22を形成する。Pt層22の上にレジストパターンPR4を形成し、Arイオンのミリングにより、Pt層22を選択的に除去する。このようにして、上部電極パターンおよび貫通導体パターンが形成される。その後レジストパターンPR4は除去する。

【0044】このようにして、BST誘電体膜を挟んだ下部電極、上部電極によりキャバシタが形成される。また、誘電体膜の無い領域で積層された下部電極、上部電極により、貫通導体が形成される。酸化物誘電体膜と接するキャバシタ電極は、耐酸化性のあるAuやPt等、または酸化されても導電性を保つPt、Ir、Ru、Pdまたはこれらの酸化物で形成することが好ましい。

【0045】図2(J)に示すように、上部電極22を覆うように、感光性ポリイミド樹脂層23を成膜する。このポリイミドは、10ppm/°C以下の面内方向熱膨張率を有することが望ましい。実装後の熱サイクルによる熱応力を緩和させることができる。

【0046】レチクル等を用いて感光性ポリイミド層23を選択的に露光し、現像することにより配線形成領域のポリイミド層を除去する。なお、他の方法によりポリイミド層をバーニングしても良い。

【0047】図2(K)に示すように、ポリイミド層23の開口内に露出したPt層表面上に、Cu層25を電解メッキにより形成する。酸化物誘電体層を用いたキャバシタを形成した後の配線としてはCuを用いることが好ましい。その後、必要に応じてCMPを行なうことにより、Cu層25とポリイミド層23の表面を平坦化する。

【0048】図3(L)に示すように、スパッタリングによりポリイミド層23、引き出し電極25の上に第1配線層26として厚さ約0.2μmのCu層を形成する。なお、スパッタリングに代え無電解メッキまたは無電解メッキと電解メッキの組み合わせを用いても良い。レジストマスクを形成し、イオンミリングを行うことによ

より第1配線層26のパターンを形成する。

【0049】図3(M)に示すように、第1配線層のパターンは、例えば貫通導体18のピッチ、線幅の半分のピッチ、線幅を有する。たとえば、貫通導体のピッチが50μm、線幅が20μmの場合、ピッチ25μm、線幅10μmである。

【0050】第1配線層26のバーニング後、感光性ポリイミド樹脂を塗布し、第1配線層26間を絶縁する絶縁層28を形成する。このポリイミド樹脂は、前述のポリイミド同様、10ppm/°C以下の面内方向熱膨張率を有することが好ましい。第1配線層26とポリイミド層28が面一でない場合、CMP等で平坦化することが好ましい。このようにして第1配線層パターンが形成される。

【0051】図3(N)に示すように、前述同様の手法により、接続配線パターン29を形成する。

【0052】図3(O)に示すように、前述同様の手法により、接続配線パターン間をポリイミド層30で埋める。

【0053】図3(P)に示すように、前述同様の手法により、第2配線層31を厚さ約0.2μmのCu層により形成する。

【0054】図4(Q)に示すように、前述同様の手法により第2配線層31をバーニングし、その間の領域を前述同様のポリイミドの絶縁層32で埋め込む。このようにして、第2配線パターンが形成される。

【0055】なお、同様の工程を繰り返すことにより、任意層数の配線を形成することができる。

【0056】図4(R)に示すように、配線層表面上に保護膜33として前述同様の手法によりポリイミド層を形成する。感光性ポリイミドの保護膜33に、前述同様の手法により選択的に開口を形成し、電極導出領域を形成する。

【0057】図4(S)に示すように、保護膜33を覆うように基板表面上に、下から厚さ約0.05μmのCr層、厚さ2μmのNi層、厚さ約0.2μmのAu層を積層する。積層をバーニングすることにより電極バッド35を形成する。

【0058】なお、上述同様の手法により、基板下面にも保護膜34、電極バッド36を形成する。

【0059】形成された電極バッド35、36の上に、たとえばPb-5wt%Snハンドをメタルマスクを通して蒸着し、フラックスを塗布し、350°Cに加熱溶融し、接続用のハンドバンブ37、38を形成する。このようにして、キャバシタ、配線層を備えた中間積層体51を形成する。

【0060】図4(T)に示すように、中間積層体51上に半導体素子52を重ね合わせて配置し、バンブを溶融することにより実装し、モジュールを形成する。1つの半導体素子のみを図示したが、図5(A)に示すよう

に中間積層体51上に複数の半導体素子52が接続される。その後、回路基板50上に中間積層体51を接続する。なお、中間積層体上に複数の回路部品を実装したモジュールを製品として提供し、ユーザが回路基板上に実装してもよい。

【0061】図5(B)は、モジュール内の配線の一部を概略的に示す。回路基板50の上に、中間積層体51が配置され、中間積層体51の上に複数の半導体素子IC1、IC2を含む回路部品54が配置されている。中間積層体51内には、支持基板Sに形成された貫通導体p.c.、貫通p.c.に接続される垂直配線WV、垂直配線VVに接続されたキャバシタの電極C1、C2、半導体素子間の接続を行なうローカル配線L11、L12が形成されている。

【0062】半導体素子IC1、IC2の端子ピッチは、回路基板50の端子ピッチよりも狭い。回路基板50上の配線を介して半導体素子IC1、IC2の端子間を接続しようとすると、配線ピッチを一旦拡大する必要がある。中間積層体51内の配線を用いることにより、配線ピッチを変えず、または配線ピッチの拡大を抑えて、より短い配線長で半導体素子IC1、IC2間を接続することができる。

【0063】図4(T)に示す構成においては、信号配線TSは、半導体素子52から回路基板50に垂直に配線されている。従って、配線長は短い。電源配線V、Gは、回路基板50からキャバシタの一方の電極を介して半導体素子52に接続されている。電源配線はキャバシタより上の部分で分岐を有し、半導体素子52の端子ピッチに適合する配線ピッチを形成している。対向するキャバシタ電極は電源配線間のデカッピングキャバシタを構成する。

【0064】このような構成とすることにより、狭い端子ピッチを有する半導体素子を効率的に広い配線ピッチを有する回路基板に接続することができる。さらに、回路基板を介さず半導体素子間を接続するローカル配線を形成することもできる。十分な容量のキャバシタを形成し、デカッピングキャバシタの機能を果たさせることができる。

【0065】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。以下、本発明の特徴を付記する。

【0066】(付記1) 第1ピッチに適合する貫通導体を有する支持基板と、前記支持基板上方に形成されたキャバシタと、前記支持基板上方に形成され、前記貫通導体を、一部前記キャバシタを介して、上方に導出すると共に、分岐を有し、第2ピッチの配線を形成する配線層と、前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置。

【0067】(付記2) 前記支持基板が、側壁に絶縁膜を形成した貫通孔を有するSi基板であり、前記貫通導体が前記貫通孔を埋める金属導体である付記1に記載の半導体装置。

【0068】(付記3) 前記絶縁膜が熱酸化した酸化シリコン膜であり、前記シリコン基板の上面、下面も酸化シリコン膜で覆われている付記2記載の半導体装置。

【0069】(付記4) 前記キャバシタが、電源配線間に接続されたデカッピングキャバシタであり、前記配線層が前記デカッピングキャバシタと前記半導体素子との間で分岐を有する付記1または2記載の半導体装置。

【0070】(付記5) 前記貫通導体が第1の信号配線を含み、前記配線層が第1の信号配線を、ほぼ垂直に導出する第2の信号配線を含み、前記キャバシタが前記第2の信号配線を含む領域で欠所を有する電極を有する付記1～4のいずれか1項に記載の半導体装置。

【0071】(付記6) さらに、前記支持基板上に配置され、 $10 \text{ ppm}/^{\circ}\text{C}$ 以下の面内方向熱膨張率を有し、前記配線層、前記キャバシタを絶縁する絶縁層を有する付記1～5のいずれか1項記載の半導体装置。

【0072】(付記7) 前記キャバシタが、Ba、Sr、Tiの内少なくとも一つを含む酸化物層のキャバシタ誘電体層と、前記キャバシタ誘電体層を挟んで配置され、Pt、Ir、Ru、Pdまたはこれらの酸化物を少なくとも一部に含む1対のキャバシタ電極とを有する付記1～6のいずれか1項に記載の半導体装置。

【0073】(付記8) 前記配線層が、前記複数の半導体素子間を接続する配線を含む付記1～7のいずれか1項に記載の半導体装置。

【0074】(付記9) さらに、第1ピッチの配線を有し、前記貫通導体の下面に接続された回路基板を有する付記1～8のいずれか1項に記載の半導体装置。

【0075】(付記10) 前記第2ピッチは、前記第1ピッチより狭い付記1～9のいずれか1項に記載の半導体装置。

【0076】(付記11) さらに、前記配線層に接続された他の回路部品を含む付記1～10のいずれか1項記載の半導体装置。

【0077】(付記12) (a) 支持基板に第1のピッチで貫通孔を形成する工程と、(b) 前記貫通孔側壁に絶縁膜を形成する工程と、(c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、(d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャバシタと前記貫通導体または前記キャバシタに接続され、第2のピッチを有する配線を形成する工程と、(e) 前記配線層に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、を含む半導体装置の製造方法。

【0078】(付記13) 前記支持基板がSi基板で

11

あり、前記工程(a)が、Si基板両面を熱酸化して酸化シリコン膜を形成し、一方の酸化シリコン膜からシリコン基板を貫通し、他方の酸化シリコン膜に達する貫通孔を形成し、前記工程(b)が貫通孔側壁を熱酸化し、前記工程(c)が、他方の酸化シリコン膜裏面上にシード層を形成し、貫通孔底面の酸化シリコン膜を除去してシード層を露出し、貫通孔内に前記シード層をシードとしてメッキ層を形成する、付記12記載の半導体装置の製造方法。

【0079】(付記14) 前記工程(d)が、下部電極層を形成し、信号配線およびその周囲に欠所を形成するように下部電極をバーニングし、下部電極を覆うように酸化物誘電体膜を成膜し、信号配線および下部電極接続部を露出するように酸化物誘電体膜をバーニングし、酸化物誘電体膜を覆うように上部電極層を形成し、信号配線、下部電極に接続する配線およびその周囲に欠所を形成するように上部電極をバーニングする、付記13記載の半導体装置の製造方法。

【0080】(付記15) 前記工程(d)が、さらに絶縁層と配線層とを交互に形成し、第2のピッチを有する配線層を形成する付記14記載の半導体装置の製造方法。

【0081】(付記16) 前記工程(d)が、複数の半導体素子間を接続する配線を含む配線層を形成する付記15記載の半導体装置の製造方法。

【0082】(付記17) さらに、(f) 前記第1のピッチに適合する配線を有する回路基板上に前記支持基板を接続する工程、を有する付記12~15のいずれか1項に記載の半導体装置の製造方法。

【0083】
【発明の効果】以上説明したように本発明によれば、良好な性能を有するデカッピングキャバシタを備えたシステムインパッケージを形成することができる。

【0084】キャバシタの支持基板上の配線により、半導体素子間の接続を行うことができる。狭ピッチの端子間を直接接続することが容易となる。

【図面の簡単な説明】

10

12

【図1】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図2】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図3】 本発明の実施例による中間積層体の製造工程を示す断面図である。

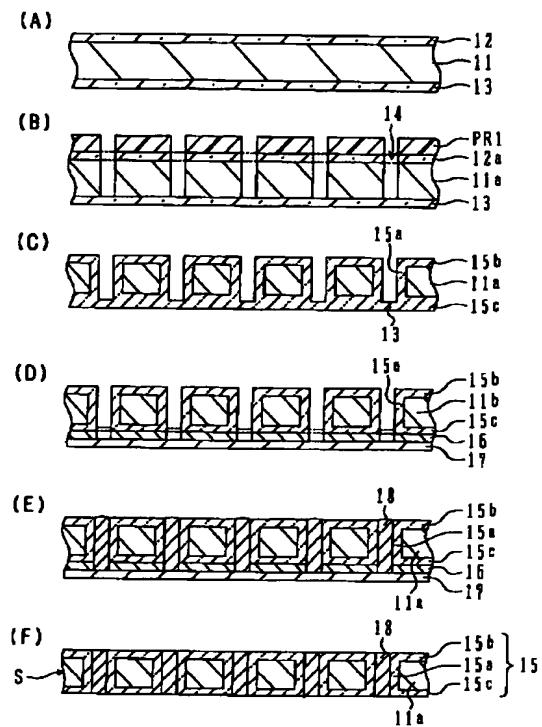
【図4】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図5】 システムインパッケージの構成を概略的に示す平面図および部分断面図である。

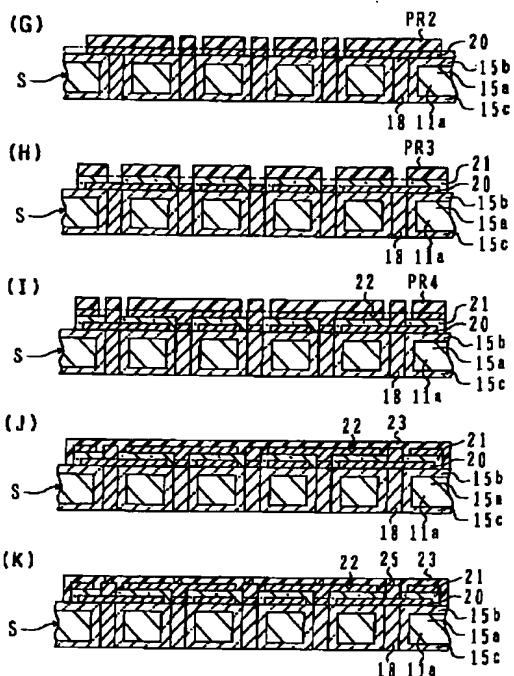
【符号の説明】

- 11 Si基板
- 12、13 酸化シリコン層
- 14 開口(ピア孔)
- 15 酸化シリコン層
- 16 Ti層
- 17 Pt層
- 18 貫通導体(Pt)
- 20 下部電極
- 21 BST層
- 22 上部電極
- 23 ポリイミド層
- 25 引き出し電極
- 26 第1配線層
- 28 ポリイミド層
- 29 接続配線
- 30 ポリイミド層
- 31 第2配線層
- 32、33 ポリイミド層
- 35、36 電極パッド
- 37、38 ハンダバンプ
- 50 回路基板
- 51 中間積層体
- 52 半導体素子
- 53 他の回路部品
- 54 回路部品

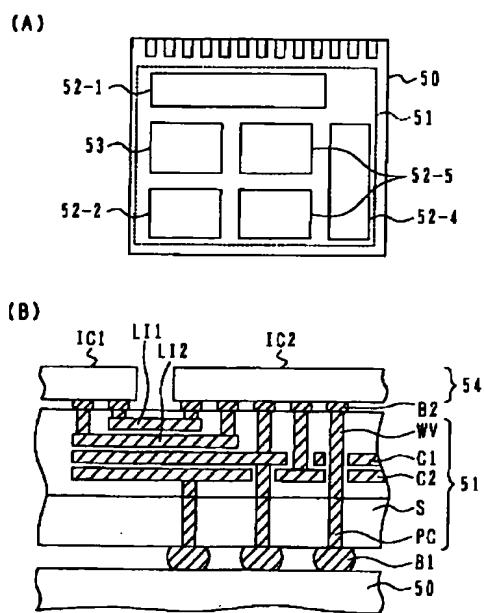
【図1】



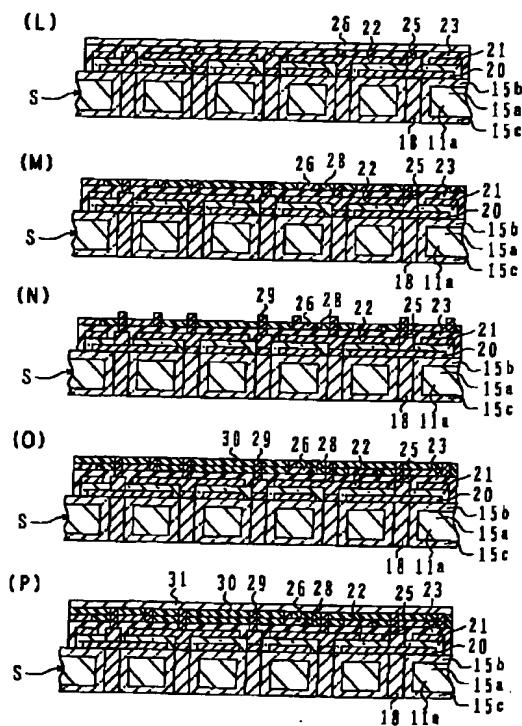
【図2】



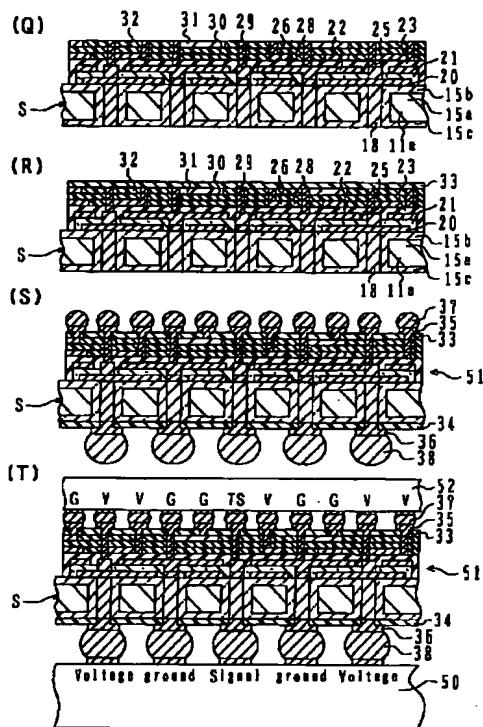
【図5】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.
H 01 L 27/04

識別記号

F I

テーマコード(参考)

(72)発明者 谷口 修
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 表 孝司
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 今中 佳彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 山岸 康男
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
F ターム(参考) 5F033 HH11 JJ07 JJ11 KK11 PP06
PP27 PP28 QQ14 QQ16 QQ19
QQ25 QQ37 QQ48 RR03 RR04
RR22 RR27 SS08 SS11 SS21
UU04 WV07 WV10 XX01 XX12
XX19 XX27 XX34
5F038 AC05 AC15 AC18 CA16 CD14
EZ07 EZ20

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年6月30日(2005.6.30)

【公開番号】特開2003-133507(P2003-133507A)

【公開日】平成15年5月9日(2003.5.9)

【出願番号】特願2001-329687(P2001-329687)

【国際特許分類第7版】

H 01 L 25/04

H 01 L 21/3205

H 01 L 21/768

H 01 L 21/822

H 01 L 25/18

H 01 L 27/04

【F I】

H 01 L 25/04 Z

H 01 L 27/04 C

H 01 L 21/88 J

H 01 L 21/90 A

【手続補正書】

【提出日】平成16年10月14日(2004.10.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1ピッチに適合する貫通導体を有する支持基板と、
前記支持基板上方に形成されたキャパシタと、

前記支持基板上方に形成され、前記貫通導体を、一部前記キャパシタを介して、上方に導出すると共に、分岐を有し、第2ピッチの配線を形成する配線層と、

前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記第1ピッチよりも狭い前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置。

【請求項2】

前記支持基板が、側壁に絶縁膜を形成した貫通孔を有するSi基板であり、前記貫通導体が前記貫通孔を埋める金属導体である請求項1に記載の半導体装置。

【請求項3】

前記キャパシタが、電源配線間に接続されたデカップリングキャパシタであり、前記配線層が前記デカップリングキャパシタと前記半導体素子との間で分岐を有する請求項1または2記載の半導体装置。

【請求項4】

前記貫通導体が第1の信号配線を含み、

前記配線層が第1の信号配線を、ほぼ垂直に導出する第2の信号配線を含み、前記キャパシタが前記第2の信号配線を含む領域で欠所を有する電極を有する請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

さらに、前記支持基板上に配置され、10 ppm/°C以下の面内方向熱膨張率を有し、

前記配線層、前記キャパシタを絶縁する絶縁層を有する請求項1～4のいずれか1項記載の半導体装置。

【請求項6】

前記キャパシタが、Ba、Sr、Tiの内少なくとも一つを含む酸化物層のキャパシタ誘電体層と、前記キャパシタ誘電体層を挟んで配置され、Pt、Ir、Ru、Pdまたはこれらの酸化物を少なくとも一部に含む1対のキャパシタ電極とを有する請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】

さらに、第1ピッチの配線を有し、前記貫通導体の下面に接続された回路基板を有する請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】

前記第2ピッチは、前記第1ピッチより狭い請求項1～7のいずれか1項に記載の半導体装置。

【請求項9】

- (a) 支持基板に第1のピッチで貫通孔を形成する工程と、
- (b) 前記貫通孔側壁に絶縁膜を形成する工程と、
- (c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、
- (d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャパシタと前記貫通導体または前記キャパシタに接続され、前記第1ピッチよりも狭い第2のピッチを有する配線を形成する工程と、
- (e) 前記配線上に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、を含む半導体装置の製造方法。

【請求項10】

前記支持基板がSi基板であり、

前記工程(a)が、Si基板両面を熱酸化して酸化シリコン膜を形成し、一方の酸化シリコン膜からシリコン基板を貫通し、他方の酸化シリコン膜に達する貫通孔を形成し、

前記工程(b)が貫通孔側壁を熱酸化し、

前記工程(c)が、他方の酸化シリコン膜裏面上にシード層を形成し、貫通孔底面の酸化シリコン膜を除去してシード層を露出し、貫通孔内に前記シード層をシードとしてメッキ層を形成する、請求項9記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

【課題を解決するための手段】

本発明の1観点によれば、第1ピッチに適合する貫通導体を有する支持基板と、前記支持基板上方に形成されたキャパシタと、前記支持基板上方に形成され、前記貫通導体を、一部前記キャパシタを介して、上方に導出すると共に、分岐を有し、前記第1ピッチよりも狭い第2ピッチの配線を形成する配線層と、前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置が提供される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明の他の観点によれば、(a)支持基板に第1のピッチで貫通孔を形成する工程と

、(b) 前記貫通孔側壁に絶縁膜を形成する工程と、(c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、(d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャパシタと前記貫通導体または前記キャパシタに接続され、前記第1ピッチよりも狭い第2のピッチを有する配線を形成する工程と、(e) 前記配線上に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、を含む半導体装置の製造方法が提供される。

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2003-133507(P2003-133507A)

【公開日】平成15年5月9日(2003.5.9)

【出願番号】特願2001-329687(P2001-329687)

【国際特許分類第7版】

H 01 L 25/04

H 01 L 21/3205

H 01 L 21/768

H 01 L 21/822

H 01 L 25/18

H 01 L 27/04

【F I】

H 01 L 25/04 Z

H 01 L 27/04 C

H 01 L 21/88 J

H 01 L 21/90 A

【手続補正書】

【提出日】平成16年10月14日(2004.10.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

第1ピッチに適合する貫通導体を有する支持基板と、

前記支持基板上方に形成されたキャパシタと、

前記支持基板上方に形成され、前記貫通導体を、一部前記キャパシタを介して、上方に導出すると共に、分岐を有し、前記第1ピッチよりも狭い第2ピッチの配線を形成する配線層と、

前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.